

高出力インパルス電磁波を用いた物体のインピ - ダンス測定に関する研究 ()

井 尻 和 夫
黒 川 悟
安 達 雅 浩
大 東 卓 央

[要 旨]

物体内部のクラックや巣を検査するためのアコ - スティックエミッション測定共に、地中探査レーダでは、機械的なインパルス振動波とインパルス電磁波を併用した低コストの探査装置の開発が求められている。

本試作研究では、これまでにcm単位の位置分解能を可能にするにはパルス幅：100～500pSのインパルス電磁波を発生させる必要があるが判ったので、これを実現する小型で低コストのインパルス電圧発生ユニット（以下 試作ユニットと云う）を試作開発を行った。

1 . 緒 言

物体内部のクラックや巣を検査するためのアコ - スティックエミッション測定装置は実用化されているが、低コスト化が課題となっている。また、地中探査レーダの分野では、機械的なインパルス振動波とインパルス電磁波を併用した低コストの探査装置の開発が求められている。

前年度までに、地中探査レーダの高出力インパルス電磁波を発生させる波高値4000V、パルス幅：8 nSの消費電力20Wの電圧発生ユニットと、垂直方向への放射指向性が高いアンテナを試作し、装置の原型となる試作を実現したが、放電回路にパワーMOSアレイスイッチを採用したために装置が大型となった。実用化に向け、さらなる小型・省電力化が課題となっていた。

本年度の試作研究では、これまでの実験から、cm単位の位置分解能を実現するためにはパルス幅：100～500pSのインパルス電磁波を発生させる必要があることが判明したので、これを実現す

る低コストで放射アンテナに直結してインパルス電磁波放射するためのインパルス電圧発生ユニット（以下 試作ユニットと云う）の試作開発を行った。

2 . 実験方法

2 . 1 試作ユニットの仕様

試作ユニットは、これまでに試作したパルス幅：8 nS、波高値：4000Vの高速・高電圧インパルス発生ユニットを原型とし改良することにした。大幅な小型・低コスト化をを目指した小電力型インパルス電圧発生ユニットを実現するためには、4000Vの放電回路を構成する高電圧パワーMOSアレイスイッチと、この回路に供給する20W程度の高圧電源がユニットの形状寸法を決定付けており、これらの部品の選定を含めた大幅な改良が必要であった。

本年度の試作では、この改良課題を実現するため、表1に示す性能仕様を実現することを目標に

表1 試作ユニットの性能仕様

項目	目標性能
インパルス電圧	0 ~ 1000V (連続可変)
パルス幅	4 ~ 8 nS、1 ~ 10 μS
パルス立ち上がり時間	500pS (アバランシェダイオード使用時)
繰り返し周期	1 mS
消費電力	2 W以下

仕様を決定した。

2.2 試作ユニットの設計

試作ユニットは、インパルス発生電圧を最大1000Vとし、CR放電回路に高速パルス電圧発生用のon抵抗の小さいMOSFETを用いることによって三角波として出力される放電電圧の立ち上がり時間：4 nS、波高値の半値幅を50nS程度まで抑制できるよう設計した。CR放電回路を図1 - a に示す。

インパルス電圧を生成するために、図1 - b に示すように放電抵抗に並列に挿入した短絡型スタブによって4 nSの遅延時間を有する逆三角波を生成し、放電電圧の波尾を相殺することによって8 nSのインパルス電圧を生成するように設計した。

また、消費電力を極力抑制するため、パルスの繰り返し周期を1 mSとすることによって2 W程度にまで平均電力を抑制できるようにし、この放電回路に供給する高圧電源には、コッククロフト・ウォルトン昇圧回路を内蔵した小型昇圧電源を採用することにした。これらの改良によって、前年度の試作ユニットと比較して1 / 10程度にまで小型化することを可能にした。試作ユニットのブロック回路を図2 に示す。

さらに、500pSのパルス立ち上りを実現するた

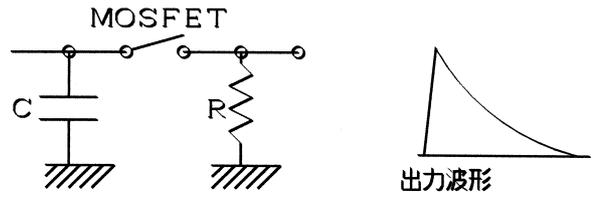


図1 - a CR放電回路と放電波形

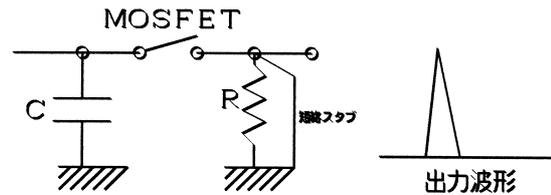


図1 - b 短絡型スタブを付加したCR放電回路と放電波形

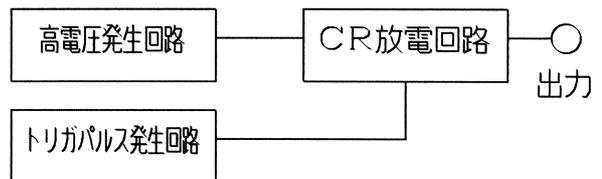


図2 インパルス発生ユニットブロック回路

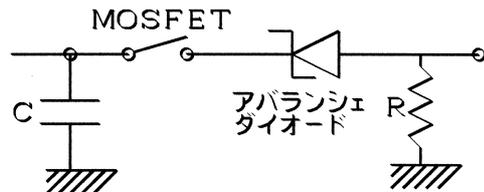


図3 - a 放電回路にアバランシェダイオードを直列に挿入した回路

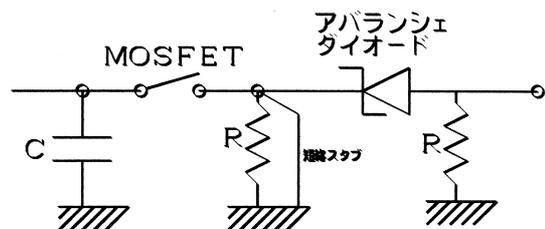


図3 - b 放電回路にアバランシェダイオードを並列に挿入した回路

め、放電回路にブレイク電圧500Vのアバランシェダイオードを付加した図3 - a 図3 - bの回路によって実現する方法について検討した。このダイオードをブレイクさせるためには、ダイオードの電極間容量の10倍である5000pF程度の容量をCR放電回路に実装する必要がある。

3. 実験結果及び考察

3.1 インパルス電圧発生評価試験結果

試作ユニットは、写真1に示すように、 $W \times D \times H = 6 \times 14 \times 3$ (cm)の小型形状を実現し、設計仕様に基づいて試作ユニットを構成する小型昇圧電源とMOSFETスイッチを採用することによって試作ユニットに供給する電力は、2W (DC12V 150mA)程度にまで抑制することがで

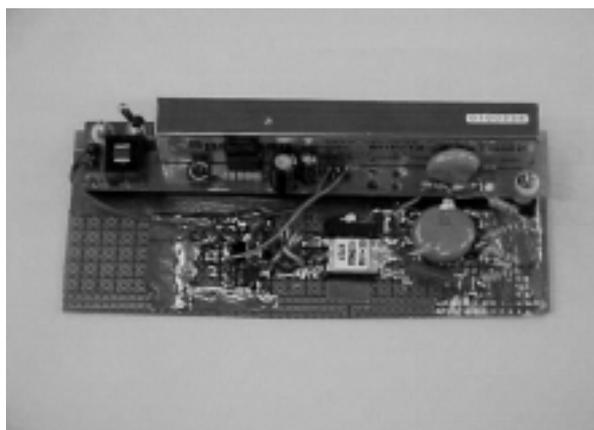


写真1 試作したインパルス発生ユニット



写真2 インパルス電圧発生評価試験の試験配置

きた。

試作ユニットの性能は、波高値：50Vのインパルス電圧出力をストレージスコープを用いて観測した波形から評価することにした。写真2にインパルス電圧発生評価試験の試験配置を示す。

図1 - aの放電回路によって生成した三角波の観測結果を図4に示す。この波形は、立ち上り：5 nS、半値幅：45nSである。

図1 - bの放電回路によって生成したインパルス電圧波形を図5に示す。この波形は、立ち上り：5 nS、パルス幅：約10nSを実現しており、目標としたパルス幅8 nSに近いインパルス電圧を生成できたことを示しており、放電抵抗に並列に挿入した短絡型スタブによって5 nSの遅延時間を有する逆三角波を生成し、放電電圧の波尾を相殺する方法の有効性を検証することができた。

波高値：1000Vインパルス電圧の発生と、

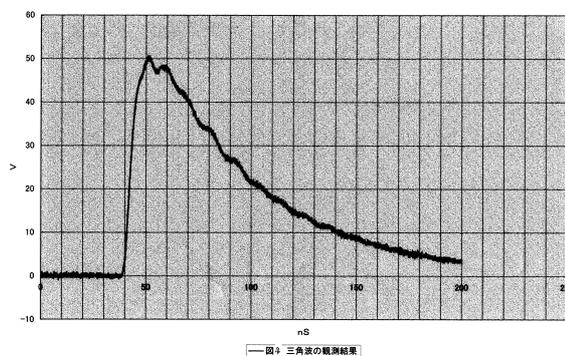


図4 三角波の観測結果

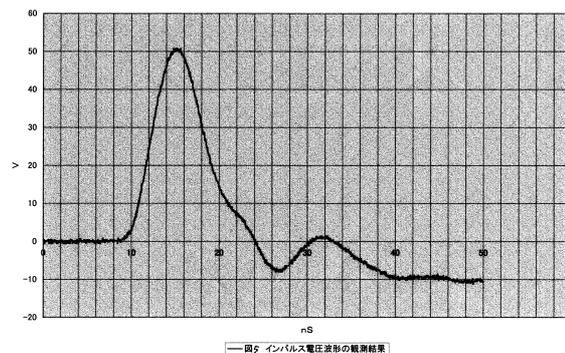


図5 インパルス電圧波形の観測結果

500pSのパルス立ち上りを実現するための出力回路に500Vでブレイクするアバランシェダイオードを付加する方法については、高圧回路にコロナ放電を生じたため、検証をするには至らなかった。

4. 結 言

本年度の試作開発では、CR放電回路に短絡型スタブを付加することによってパルス幅：10nSのインパルス電圧を生成する方法の有効性の検証と、パルス発生の繰り返し周期をmS以上に設定することによって大幅な小型化を実現することができた。

試作ユニットの性能評価試験では、絶縁モールド不良によるコロナ放電の発生によって目標とした波高値：1000V、パルス立ち上り：500pS以上の高速・高電圧インパルス発生の検証には至らなかった。

また、CR放電回路は、インダクターを直列に挿入することによって生成した、パルス幅：数 μ Sの高電圧パルスを圧電セラミックスに印加することによってインパルス性の振動波を生成することも可能である。

これらの回路試作に係る課題については、次年度の改良課題として実現して行く予定である。